



MINISTÉRIO DA EDUCAÇÃO
CENTRO FEDERAL DE EDUCAÇÃO TECNOLÓGICA DE MINAS GERAIS
Diretoria de Graduação

Plano Didático

Campus / Curso: Divinópolis / Engenharia da Computação	
Disciplina: Laboratório de Arquitetura e Organização de Computadores I	CÓDIGO: G05LAOC1.02
Docente responsável: Christian G. Herrera	Data: 19/12/2023
Coordenador(a) do curso: Eduardo Habib	Data: 19/12/2023

Período Letivo: 3º Semestre

Carga Horária Total: 30 horas/aula

Créditos: 2

Natureza: Prática / Obrigatória

Área de Formação - DCN: Profissionalizante

Competências/habilidades a serem desenvolvidas: C01, C02, C03, C04, C08, C09, C15, C18

Departamento que oferta a disciplina: DIGDV - Departamento de Informática, Gestão e Design

Atendimento extra classe aos alunos
Local: sala 304
Horário semanal: segunda-feira, 07:00 horas

Metodologia de ensino
Desenvolvimento de projetos de circuitos digitais com simulação virtual.
Elaboração de relatórios técnicos em grupo.

Atividades Avaliativas	Valor
Relatórios técnicos	85
Participação	15
Total	100

Recursos
Laboratório de informática.
Softwares de projeto de circuitos digitais (QUARTUS II).
Projektor multimídia.

Cronograma	
Data	Atividade
04/03/24	Aula de apresentação do curso. Introdução à IDE Quartus II para desenho e simulação de circuitos lógicos - NOT, AND2, AND[7..0].
11/03/24	Desenho e validação da Unidade Lógica Aritmética - ULA de 1 bit.
18/03/24	Desenho e validação da Unidade Lógica Aritmética - ULA de 8 bits.
25/03/24	Desenho e validação da Unidade Lógica Aritmética - ULA de 32 bits.

01/04/24	Desenho e validação do registrador de 8 bits.
08/04/24	Desenho e validação do registrador de 32 bits.
15/04/24	Desenho e validação do banco de registradores - parte 1 (LV, SP, TOS, H, CPP).
22/04/24	Desenho e validação do banco de registradores - parte 2 (MAR/MDR).
29/04/24	Desenho e validação do banco de registradores - parte 3 (PC/MBR).
06/05/24	Desenho e validação do Shifter e dos bits de status da ULA (N e Z).
13/05/24	Desenho e validação do Data Path (caminho de dados).
20/05/24	Desenho e validação da Unidade de Controle - parte 1 (gerador de MPC).
27/05/24	Desenho e validação da Unidade de Controle - parte 2 (memória ROM de microprograma).
03/06/24	Desenho e validação da Memória Principal.
10/06/24	Avaliação Final.

Bibliografia Adicional	
1	
2	

Observações



PLANO DIDÁTICO N° 2233/2023 - DIGDDV (11.60.04)

(N° do Protocolo: NÃO PROTOCOLADO)

(Assinado digitalmente em 20/12/2023 09:05)

CHRISTIAN GONCALVES HERRERA
PROFESSOR ENS BASICO TECN TECNOLOGICO
DIGDDV (11.60.04)
Matrícula: ###667#8

(Assinado digitalmente em 14/08/2024 09:10)

DANIEL MORAIS DOS REIS
PROFESSOR ENS BASICO TECN TECNOLOGICO
DECOMDV (11.60.11)
Matrícula: ###238#3

(Assinado digitalmente em 20/08/2024 10:44)

EDUARDO HABIB BECHELANE MAIA
COORDENADOR
CECOMDV (11.51.24)
Matrícula: ###729#8

Visualize o documento original em <https://sig.cefetmg.br/documentos/> informando seu número: 2233, ano: 2023,
tipo: **PLANO DIDÁTICO**, data de emissão: 20/12/2023 e o código de verificação: **be761fb2ae**