



MINISTÉRIO DA EDUCAÇÃO
CENTRO FEDERAL DE EDUCAÇÃO TECNOLÓGICA DE MINAS GERAIS
Diretoria de Graduação

Plano Didático

Campus / Curso: Divinópolis / Engenharia da Computação	
Disciplina: Laboratório de Arquitetura e Organização de Computadores I	CÓDIGO: G05LAOC1.02
Docente responsável: Christian G. Herrera	Data: 26/03/2025
Coordenador do curso: Tiago Alves de Oliveira	Data: 26/03/2025

Período Letivo: 3º Semestre

Carga Horária Total: 30 horas/aula

Créditos: 2

Natureza: Prática / Obrigatória

Área de Formação - DCN: Profissionalizante

Competências/habilidades a serem desenvolvidas: C01, C02, C03, C04, C08, C09, C15, C18

Departamento que oferta a disciplina: DECOM-DV - Departamento de Computação Divinópolis

Atendimento extra classe aos alunos
Local: sala 304
Horário semanal: segunda-feira, 13:50h

Metodologia de ensino	Atividades Avaliativas	Valor
Desenvolvimento de projetos de circuitos digitais com simulação virtual.	Relatórios técnicos	85
Elaboração de relatórios técnicos em grupo.	Participação	15
	Total	100

Recursos
Laboratório de informática.
Softwares de projeto de circuitos digitais (QUARTUS II v13.0).
Projektor multimídia.

Cronograma	
Data	Atividade
26/03/25	Aula de apresentação do curso. Introdução à IDE Quartus II para desenho e simulação de circuitos lógicos.
02/04/25	Desenho e validação do decodificador binário.
09/04/25	Desenho e validação do somador binário de 1 bit e de 8 bits.
16/04/25	Desenho e validação da Unidade Lógica Aritmética - ULA de 1 bit.

23/04/25	Desenho e validação da Unidade Lógica Aritmética - ULA de 32 bits.
30/04/25	Desenho e validação do Shifter e dos bits de status da ULA (N e Z).
07/05/25	Desenho e validação do registrador de 32 bits.
14/05/25	Desenho e validação do banco de registradores - parte 1 (LV, SP, TOS, H, CPP).
21/05/25	Desenho e validação do banco de registradores - parte 2 (MAR/MDR).
28/05/25	Desenho e validação do banco de registradores - parte 3 (PC/MBR).
04/06/25	Desenho e validação do Data Path (caminho de dados).
11/06/25	Desenho e validação da Unidade de Controle - parte 1 (gerador de MPC).
18/06/25	Desenho e validação da Unidade de Controle - parte 2 (memória ROM de microprograma).
25/06/25	Desenho e validação da Memória Principal (1/2).
02/07/25	Desenho e validação da Memória Principal (2/2).

Bibliografia Adicional	
1	
2	

Observações



PLANO DIDÁTICO Nº 108/2025 - DECOMDV (11.60.11)

(Nº do Protocolo: NÃO PROTOCOLADO)

(Assinado digitalmente em 27/03/2025 08:46)

CHRISTIAN GONCALVES HERRERA
PROFESSOR ENS BASICO TECN TECNOLOGICO
DECOMDV (11.60.11)
Matrícula: ###667#8

(Assinado digitalmente em 29/05/2025 11:58)

DANIEL MORAIS DOS REIS
PROFESSOR ENS BASICO TECN TECNOLOGICO
DECOMDV (11.60.11)
Matrícula: ###238#3

(Assinado digitalmente em 31/03/2025 12:11)

TIAGO ALVES DE OLIVEIRA
COORDENADOR - TITULAR
CECOMDV (11.51.24)
Matrícula: ###262#1

Visualize o documento original em <https://sig.cefetmg.br/documentos/> informando seu número: **108**, ano: **2025**, tipo:
PLANO DIDÁTICO, data de emissão: **27/03/2025** e o código de verificação: **f52f76de3f**